**江 西 师 范 大 学 试 卷**

**年级： 17级 专业(学科)： 计算机科学与技术 18 — 19 学年第 2 学期**

**课程号： 262217 课程名称：计算机组成原理（理论） A卷**

**考试形式：闭卷 其他要求：**

**（本试卷满分100分，考试时间100分钟）**

一、选择题（20分，每题2分）

1、直接、间接、立即三种寻址方式指令的执行速度，由快至慢的排序是\_\_\_\_\_\_。

　　A.直接、立即、间接; B.直接、间接、立即;

　　C.立即、直接、间接; D.立即、间接、直接。

2、存放欲执行指令的寄存器是\_\_\_\_\_。

　　A. MAR; B. PC; C. MDR; D. IR。

3、计算机中表示地址时，采用\_\_\_\_\_\_ 。

　　A.原码; B.补码; C.反码; D.无符号数。

4、微程序放在\_\_\_\_\_\_中。

A.存储器控制器; B.控制存储器; C.主存储器; D.Cache。

5、三种集中式总线控制中，\_\_\_\_\_\_方式对电路故障最敏感。

A.链式查询; B.计数器定时查询; C.独立请求; D.以上都不对。

6、主存和CPU之间增加高速缓冲存储器的目的是\_\_\_\_\_\_。

A.解决CPU和主存之间的速度匹配问题;

B.扩大主存容量;

C.既扩大主存容量，又提高了存取速度;

D.扩大辅存容量。

7、在独立请求方式下，若有N个设备，则\_\_\_\_\_\_。

A.有一个总线请求信号和一个总线响应信号;

B.有N个总线请求信号和N个总线响应信号;

C.有一个总线请求信号和N个总线响应信号;

D.有N个总线请求信号和一个总线响应信号。

8、下述说法中\_\_\_\_\_\_是正确的。

A.动态RAM信息可读可写，且断电后仍能保持记忆;

B.动态RAM是易失性，而静态RAM中的存储信息是不易失的;

C.动态RAM是易失性，而静态RAM只有在电源不掉时，所存信息是不易失的；

D.以上都不对

9、有关存储器的描述中，不正确的是\_\_\_\_\_\_

A. 多体交叉存储器主要解决扩充容量问题；

B. 访问存储器的请求是由CPU发出的；

C. Cache的功能全由硬件实现；

D. 虚拟存储器主要解决扩充容量的问题。

10、在定点二进制运算器中，补码加减运算判断溢出的方式一般通过\_\_\_\_\_\_\_\_\_实现。

A. 当符号不同的两数相加，结果的符合与加数不同则产生溢出；

B. 当双符号维值不同时产生溢出；

C. 当符号相同的两数相减，结果的符号与减数相同则产生溢出；

D. 符号位的进位和最高数值位的进位相同，则产生溢出。

二、填空题 （9分，每空1分）

1、运算器的技术指标一般用\_\_\_\_\_\_\_\_\_\_\_\_和 \_\_\_\_\_\_\_\_\_\_\_\_表示。

2、SRAM的存储单元是用\_\_\_\_\_\_\_\_\_\_来存储信息的，而DRAM则是用\_\_\_\_\_\_\_\_\_\_\_\_来存储信息。DRAM需要定时进行\_\_\_\_\_\_\_\_\_\_\_\_\_。

3、微指令分为\_\_\_\_\_\_\_\_\_\_\_型微指令和\_\_\_\_\_\_\_\_\_\_型微指令，其中，前者的并行操作能力比后者强。

4、硬布线控制器的速度比微程序控制器的速度\_\_\_\_\_\_\_\_，\_\_\_\_\_\_\_\_控制器组成较规范，修改更方便。

三、简答题（16分）

1、Cache有哪几种地址映射的方式？简述各种映射的原理和特点。（8）

2、DRAM存储器为什么需要刷新？有哪几种常用的刷新方式，简述其基本过程。（8分）

四、计算题（20分）

1、设浮点数的格式为：阶码5位，包含一位符号位，尾数7位，包含一位符号位。阶码和尾数均用补码表示，排列顺序为阶码在前，尾数在后。

|  |  |  |  |
| --- | --- | --- | --- |
| 阶符 | 阶码 | 数符 | 尾数 |

则按照上述浮点数的格式：

（4分）（1）若数Z的浮点数16进制形式为9BAH，（Z）10 =\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

（8分）（2）若（X）10= —3.25，（Y）10=10.75，则X的规格化浮点数表示形式为\_\_\_\_\_\_\_\_\_\_\_\_\_；Y的规格化浮点数表示形式为\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。

（8分）（3）求[X+Y]浮（要求尾数用补码计算，列出计算步骤）

五、设计题（35分，第一题20分，第二题15分）

1、某机字长16位，CPU地址总线18位，数据总线16位，存储器按字编址，CPU的控制信号有：MREQ#（存储器访问请求，低电平有效），R/W#（读写控制，低电平为写信号，高电平为读信号）。试问：

（8分，每空2分）（1）若该机主存采用64K\*1b的DRAM芯片（内部为4个128\*128阵列），构成最大主存空间，则共需\_\_\_\_\_\_\_\_\_\_个芯片；若采用分散刷新方式，单元刷新周期为2ms，则刷新信号的周期为\_\_\_\_\_\_\_\_ms；该DRAM芯片的引脚数为\_\_\_\_\_\_\_\_\_\_\_\_根；若为64K\*1bit的SRAM芯片，则该芯片的地址引脚数为\_\_\_\_\_\_\_\_\_根。

（12分）（2）若已知该机已有4K\*16bit的ROM存储器，地址处于主存储地址空间的最高端；现在再用若干个8K\*8bit的SRAM芯片形成64K\*16bit的RAM存储区域，起始地址为00000H。假设SRAM芯片有CS#（片选，低电平有效）和WE#（写使能，低电平有效）信号控制端。试写出RAM、ROM的地址范围，并设计SRAM、ROM与CPU的连接图（请标明SRAM芯片个数、译码器的输入输出线、地址线、数据线、控制线及其连接）。

2、设某8位计算机指令格式如下：

|  |  |  |
| --- | --- | --- |
| Opcode （4位） | M （2位） | Rd （2位） |
| A（8位） | | |

其中，

|  |  |  |
| --- | --- | --- |
| Opcode= | M= | Rd= |
| 0000 ——MOV  0001 ——ADD  0010 ——SUB  0011 ——JMP  ……  1111 ——HALT | 00 ——直接寻址  01 ——间接寻址  10 ——变址寻址（变址寄存器为R3）  11 ——相对寻址 | 00 —— R0  01 —— R1  10 —— R2  11 —— R3 |

（1）假设（PC）=00H，变址寄存器（R3）=10H；主存部分单元的内容如下表。问：这时CPU启动运行程序，机器执行了几条指令后停机？写出每一条指令的功能、寻址方式、操作数及执行结果。

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 地址 | 内容 |  | 地址 | 内容 |  | 地址 | 内容 |
| 00H | 01H | 04H | 29H | 30H | 22H |
| 01H | 30H | 05H | 22H | 31H | 33H |
| 02H | 15H | 06H | F0H | 32H | 34H |
| 03H | 31H | 07H | 00H | 33H | 35H |

（2）图1是模型机的结构图。某条指令的微程序流程图如图2所示。其中P1指根据操作码转至指令的微程序入口。请写出这条指令的功能、寻址方式及指令的格式。

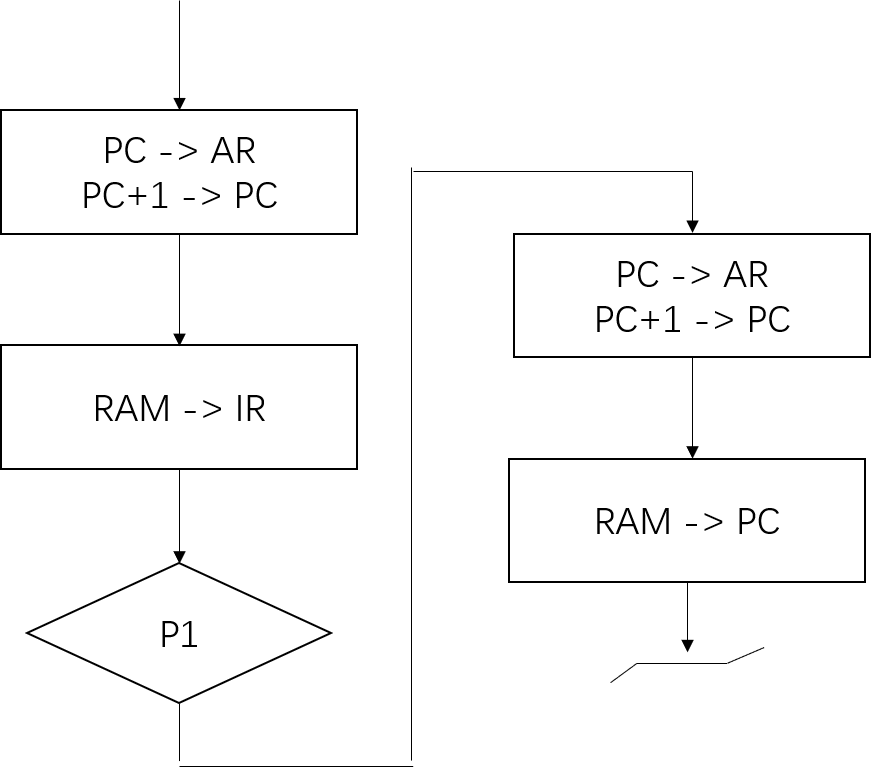
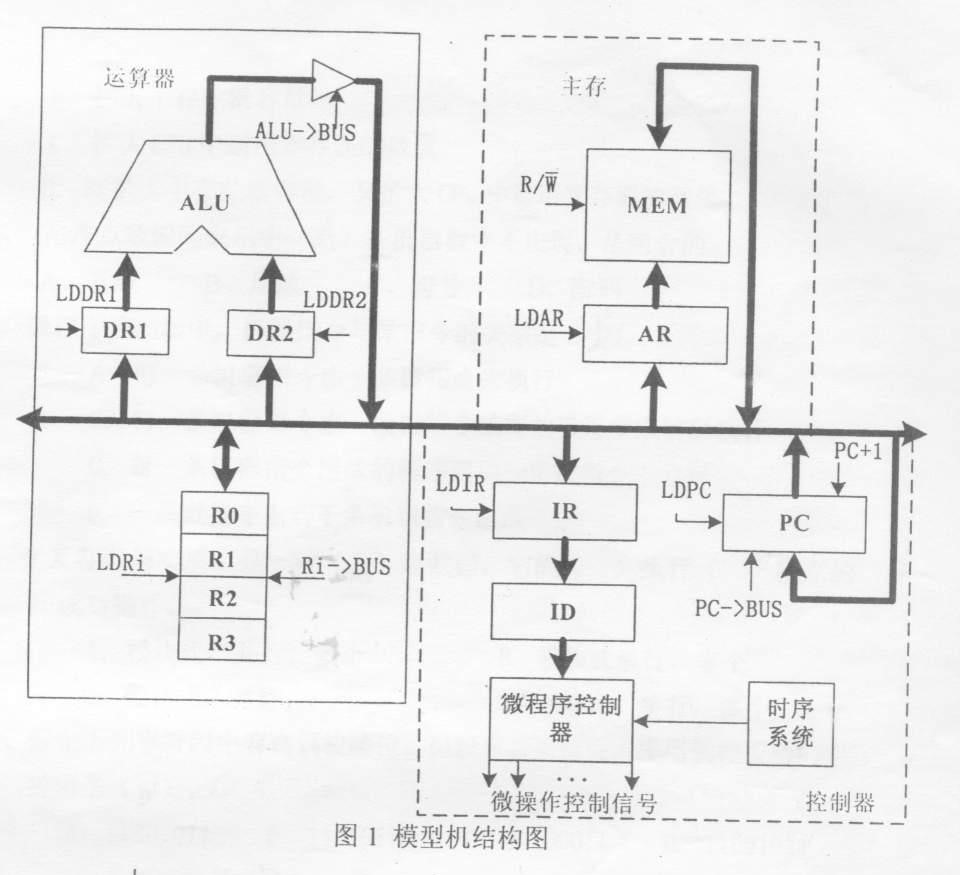


图2 某指令的微程序流程图